

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-239831

(43) 公開日 平成7年(1995)9月12日

(51) Int.Cl.⁹

G 0 6 F 15/16
1/14
13/00

識別記号

3 3 0 D

庁内整理番号

3 5 1 C 7368-5B

F I

技術表示箇所

G 0 6 F 1 / 0 4

3 5 1 B

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号

特願平6-29361

(22) 出願日

平成6年(1994)2月28日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 笠井 茂

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 長谷川 文廣 (外2名)

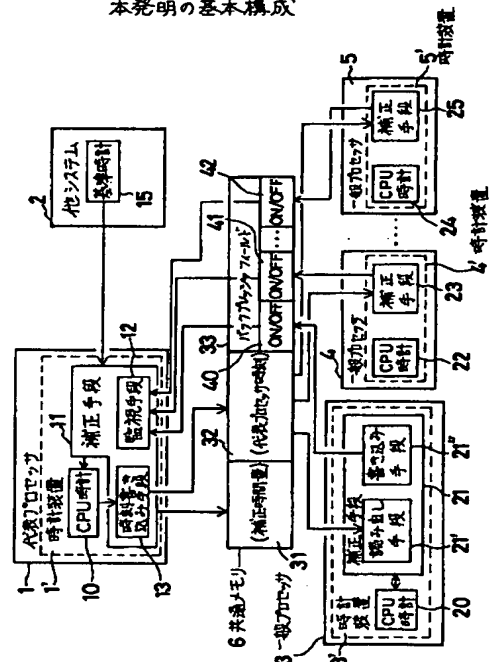
(54) 【発明の名称】 分散システムにおける時計装置の時刻補正方法および時計装置

(57) 【要約】

【目的】 分散プロセッサシステムにおける時計装置の時刻補正方法および時計装置に関し、分散システムにおける各プロセッサの時刻時刻を確実に一致させることを目的とする。

【構成】 一般プロセッサが時刻補正中であることを示すフラグ領域(40)、(41)、(42)と代表プロセッサ(1)の代表プロセッサ時刻を書き込まれる領域(32)を備える共通メモリ(6)とを備え、一般プロセッサ(3)、(4)、(5)の補正手段(21)、(22)、(23)は誤差を判定し、誤差が一定値以上になった場合には、該共通メモリ6に該フラグ41、42、43を設定し、自身の時刻を補正し、時刻補正が終了すると該フラグを時刻補正中でないものとし、該一般プロセッサ(3)、(4)、(5)の全てが時刻補正中でない場合に代表プロセッサ(1)該CPU時計1の補正を行いながら、該共通メモリ(6)代表プロセッサ時刻を更新する構成をもつ。

本発明の基本構成



1

【特許請求の範囲】

【請求項 1】 時計装置を備える複数のプロセッサ(1)、(3)、(4)、(5)を備えた分散システムにおける時計装置の時刻補正方法において、該分散システムは分散システムの共通時刻を与える代表プロセッサ(1)と、代表プロセッサ(1)の時計装置の時刻を基準時刻として時刻を定める一般プロセッサと、一般プロセッサが時刻補正中であることを示すフラグ領域(40)、(41)、(42)と代表プロセッサ(1)の代表プロセッサ時刻が書き込まれる領域(32)を備える共通メモリ(6)とを備え、該代表プロセッサ(1)は、該共通メモリ(6)の該代表プロセッサ時刻を書き込む時刻書き込み手段(13)と該フラグを監視する監視手段(12)とをもつ補正手段(11)を備え、該一般プロセッサ(3)、(4)、(5)の補正手段(21)、(23)、(25)は、該共通メモリ(6)の該代表プロセッサ時刻を読み出す読み出し手段(21')と該共通メモリ(6)に該フラグを設定する書き込み手段(21'')とを備え、該一般プロセッサ(3)、(4)、(5)の補正手段(21)、(23)、(25)は自身のプロセッサ時計の時刻と該代表プロセッサ時刻との誤差を判定し、誤差が一定値以上になった場合には、該共通メモリ(6)に該フラグ(40)、(41)、(42)を設定し、自身の時刻を補正し、時刻補正が終了すると該フラグを時刻補正中でないものとし、代表プロセッサ(1)は該C P U時計(10)に対して小さな時間単位で行う補正処理を、該共通メモリ(6)の該フラグ(40)、(41)、(42)を監視し、該一般プロセッサ(3)、(4)、(5)の全てが時刻補正中でない場合に次の時間単位の補正を代表プロセッサ(1)の該C P U時計(10)に行い、該一般プロセッサ(3)、(4)、(5)のいずれも時刻補正中でない場合には代表プロセッサ(1)の該C P U時計(10)の次の時間単位の補正をすることを特徴とする分散システムにおける時計装置の時刻補正方法。

【請求項 2】 請求項 1 において、該分散システムは、代表プロセッサ(1)の基準時刻を与える基準時計(15)を備え、該共通メモリ(6)は代表プロセッサ(1)の時計装置(1')の補正時間量を書き込む領域(31)を備え、該代表プロセッサ(1)の補正手段(11)は自身のC P U時計(10)と基準時計(15)との誤差を求め、補正時間量を該共通メモリ(6)に書き込み、一回の補正時間量は小さい時間間隔とし、補正時間量が該時間間隔より大きい場合には複数回に分割して時間補正を行い、一回の補正毎にフラグ監視手段(12)は該共通メモリ(6)の該フラグ(40)、(41)、(42)を参照し、該一般プロセッサ(3)、(4)、(5)の全てが時刻補正中でない場合に次の補正を行うことを特徴とする分散システムにおける時計装置の時刻補正方法。

【請求項 3】 請求項 1 もしくは 2 に記載の時刻補正方法を備えた分散システムにおける代表プロセッサの時計装置において、該時計装置(1')の補正手段(11)は、該共通メモリ(6)の該フラグの監視手段(12)と該共通メモリ

2

(6) に代表プロセッサ時刻を書き込む時刻書き込み手段(13)とを備え、該一般プロセッサ(3)、(4)、(5)の全てが時刻補正中でない場合に代表プロセッサ(1)の該C P U時計(10)に補正を継続して行い、該一般プロセッサ(3)、(4)、(5)の一つでも時刻補正中である場合には代表プロセッサ(1)の該C P U時計(10)の補正をしないように制御しながら、該共通メモリ(6)の代表プロセッサ時刻を更新することを特徴とする分散システムにおける時計装置の時刻補正方法。

10 【請求項 4】 請求項 2 において、該代表プロセッサ(1)の該補正手段(11)は該基準時計(15)と自身のC P U時計(10)の時刻の誤差を判定し、補正時間量を求め、該補正時間量を該共通メモリ(6)に書き込み、該代表プロセッサ(1)の時計装置(1')は、一回に補正する時間量は小さい時間間隔とし、該補正時間量が該時間間隔より大きい場合には複数回に分割して時間補正を行い、一回の補正毎に監視手段(12)は該共通メモリ(6)のフラグを参照し、該一般プロセッサ(3)、(4)、(5)の全てが時刻補正中でない場合に次の補正を行うことを特徴とする分散システムにおける時計装置。

20 【請求項 5】 請求項 1 もしくは 2 に記載の時刻補正方法を備えた分散システムにおける一般プロセッサの時計装置において、該補正手段(21)は、該共通メモリ(6)の代表プロセッサ時刻を読み出す読み出し手段(21')と時刻補正中に該共通メモリ(6)に該フラグを設定する書き込み手段(21'')とを備え、該一般プロセッサ(3)、(4)、(5)の補正手段(21)、(23)、(25)は自身のC P U時計(20)、(22)、(24)の時刻と該代表プロセッサ時刻との誤差が一定値以上になったことを検出すると該フラグを設定し、時刻を補正し、時刻補正が終了すると該フラグを時刻補正中でないものとすることを特徴とする分散システムにおける時計装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、分散プロセッサシステムにおける各プロセッサの時計の時刻を一致させる時刻補正方法および時計装置に関する。

【0002】 コンピュータのプロセッサを分散配置して結合した分散システムにおいては、一つの処理を複数プロセッサ間に跨がって処理をする場合がある。そのような処理において、時刻に関する処理が含まれていると、処理を振り分けられたプロセッサ同士の時刻が一致していない場合には、処理に矛盾を生じる。そのため、分散システムにおいては、各プロセッサの時計の時刻を一致させておく必要がある。

【0003】

【従来の技術】 従来の分散システムでの各プロセッサの時刻の同期は、ハードウェアにより同期をとるか、あるいは、ソフトウェアにより、特定のプロセッサ(代表プロセッサ)がシステム内の全てのプロセッサ(一般プロ

50

3

セッサ)に直接、定期的に時刻を配信し、各一般プロセッサがその時刻にそれぞれの時刻を合わせるようにしていた。

【0004】図9は従来の時刻配信方式による時刻補正方法を示す。図9において、100は代表プロセッサである。

【0005】101は代表プロセッサ時計であって、システムの他のプロセッサ(一般プロセッサ)に時刻を通知するものである。102は時刻配信手段102であって、代表プロセッサ時計101の時刻を、他のプロセッサ(一般プロセッサ)に定期的に通知するものである。

【0006】110は一般プロセッサである。111は時刻設定手段であって、一般プロセッサ110の時計112の時刻を設定するものである。

【0007】120は一般プロセッサである。121は時刻設定手段である。122は一般プロセッサの時計であって、一般プロセッサ120の時計122の時刻を設定するものである。

【0008】130は一般プロセッサである。131は時刻設定手段であって、一般プロセッサ130の時計132の時刻を設定するものである。

【0009】132は一般プロセッサの時計である。図9の構成において、代表プロセッサ100は、時刻配信手段102により、一般プロセッサ110、120、130に定期的に時刻を通知する。各一般プロセッサ110、120、130の時刻設定手段111、121、131は代表プロセッサ100から通知されてくる時刻を受信すると、それぞれの時計(一般プロセッサ時計)112、122、132の時刻を受信した時刻に合わせる。

【0010】

【発明が解決しようとする課題】従来の時刻配信方式による時刻補正方法では、一般プロセッサ間で、時刻補正の同期をとっていないため、配信された時刻を受信した時のプロセッサの状態が異なり、プロセッサ毎に時刻の設定速度が異なる。そのため、各プロセッサ間で時刻を完全に一致させることが難しかった。また、プロセッサが追加、削除された場合の対応も困難であった。さらに、ハードウェアにより時刻を一致させる場合には、システムの設計当初からハードウェアを設計しておかないと実現できず、またコストも高くつくものであった。

【0011】本発明は、分散システムにおける時計の時刻一致を、確実に行うことができ、しかも、プロセッサの増設、撤去等で運用中のシステムの構成の変更にも影響されない時刻補正方法および時計装置を提供することを目的とする。

【0012】

【課題を解決するための手段】図1は本発明の基本構成を示す。図1において、1は代表プロセッサである。

【0013】1'は時計装置である。2は他システムで

4

あって、基準時計を備えているものである。3、4、5は一般プロセッサである。

【0014】6は共通メモリである。代表プロセッサ1において、10はCPU時計である。

【0015】11は補正手段であって、他システム2の基準時計15を基にCPU時計10の時刻を補正をする処理、および共通メモリ6に代表プロセッサのCPU時計の時刻である代表プロセッサ時刻を書き込むもの等の処理を行うものである。

【0016】12は監視手段であって、一般プロセッサが時刻補正中を示す共通メモリ6のバックプレッシャフィールド33のフラグを参照するものである。他システム2において、13は時刻書き込み手段であって、代表プロセッサ時刻を共通メモリ6に書き込むものである。

【0017】15は基準時計であって、CPU時計10の基準時刻を発生するものである。一般プロセッサ3において、3'は時計装置である。

【0018】20はCPU時計である。21は補正手段であって、CPU時計20の時刻の補正、および時刻補正中であるかないかを表すフラグをバックプレッシャフィールド33に設定する等の処理を行うものである。

【0019】一般プロセッサ4において、4'は時計装置である。22はCPU時計である。

【0020】21は補正手段である。一般プロセッサ5において、5'は時計装置である。

【0021】24はCPU時計である。25は補正手段である。共通メモリ6において、31は補正時間量の保持領域であって、代表プロセッサ1のCPU時計10と基準時計15の誤差に基づいて代表プロセッサのCPU時計10が補正すべき時間量(補正時間量)を保持するものである。

【0022】32は代表プロセッサ時刻(代表プロセッサのCPU時計の時刻)の書き込み領域である。33はバックプレッシャフィールドであって、一般プロセッサの時計装置3'、4'、5'が時刻補正中であるかないかを表すフラグを設定する領域である。

【0023】40は一般プロセッサ3の時計装置3'が時刻補正中であるかないかを表すフラグである。例えば、時刻補正中であればオン、補正中でなければオフとするものである。

【0024】41は一般プロセッサの時計装置4'が時刻補正中であるかないかを表すフラグである。42は一般プロセッサの時計装置5'が時刻補正中であるかないかを表すフラグである。

【0025】

【作用】図1の本発明の基本構成の動作を説明する。代表プロセッサ1において、補正手段11は定期的に共通メモリ6の代表プロセッサ時刻の書き込み領域32にCPU時計10の時刻を書き出す(例えば、1秒毎)。また、補正手段11は定期的に基準時計15の時刻を読み

5

込み、CPU時計10と比較し、誤差を求める。その誤差が予め定められている設定幅より大きければ、誤差にもとづいて補正時間量を求め、共通メモリ6の書き込み領域31に補正時間量を書き込む（以後領域31に書き込まれた補正時間量を補正時間量31と称する）。そして、代表プロセッサ1のCPU時計10の補正を開始する。

【0026】一般プロセッサのCPU時計20、22、24において、それぞれの補正手段21、23、25は定期的に共通メモリ6の書き込み領域32の代表プロセッサ時刻を読み出し、それぞれの一般プロセッサのCPU時計20、22、24の時刻と比較し、誤差を求める（以後、共通メモリの領域32に書き込まれた代表プロセッサ時刻を代表プロセッサ時刻32と称する）。その誤差が予め定めた設定幅より大きければ、共通メモリ6のバックプレッシャフィールド33の対応するフラグ設定領域（40、41、42）に補正中を示すフラグを設定する（以後、例として、時刻補正中はフラグをオンとし、補正中でない場合はオフとする）。そして、一般プロセッサの時計装置3'、4'、5'は代表プロセッサ時刻32に合わせる補正を開始する。補正が終了したら、一般プロセッサは対応するバックプレッシャフィールド33のフラグをオフとする。

【0027】本発明では、各一般プロセッサ3、4、5間の補正速度の相違により各時計の時刻のばらつきを小さくするため、代表プロセッサの時計装置1'の時刻補正は一回の補正量を小さい補正幅（補正単位）に分割し、複数回に分けて行うようにし、その間バックプレッシャフィールド33のフラグ設定領域40、41、42を監視しながら、一般プロセッサの時計装置が補正中である時は、代表プロセッサ1の該CPU時計10の補正を分割単位の補正が終了してもさらなる補正は行わず、共通メモリ6の代表プロセッサ時刻32の更新のみ行う。そして、各一般プロセッサのCPU時計20、22、24の時刻補正が追いついた時点で、代表プロセッサ1の補正手段11はCPU時計10の補正時間量に対して分割単位だけの補正をさらにを行い、その補正量の合計が、例えば一秒分に達したら、共通メモリ6の補正時間量31を更新する。さらに、更新された代表プロセッサ時刻32に基づいて、各一般プロセッサの補正手段21、23、25はそれぞれのCPU時計20、22、24を補正する。

【0028】代表プロセッサの補正手段11はCPU時計10は小さい分割幅の補正時間単位での補正の合計が補正時間量になり共通メモリ6の補正時間量31が0になるまで繰り返す。また、一般プロセッサの補正手段21、23、25は、定期的に代表プロセッサ時刻32を参照し、自身の時刻との誤差が予め定めた設定幅より大きい場合に随時補正をする。

【0029】上記のように各一般プロセッサの時刻を補

6

正することにより、一般プロセッサの時計装置3'、4'、5'の間の時刻の違いは一定幅以上に大きくなることはない。

【0030】また、プロセッサの増設時には、増設プロセッサは自身のCPU時計を代表プロセッサ時刻に合わせ、その後は時刻補正処理を起動することにより、上記の補正処理を開始する。また、プロセッサの撤去時には、プロセッサの撤去を認識した他のプロセッサ（代表プロセッサ1等）がそのプロセッサのバックプレッシャフィールド33のフラグ領域を初期化する。それ以後、撤去されたプロセッサは補正処理に不参加となる。

【0031】本発明によれば、共通メモリ6を設けることにより、特別なハードウェアを使用することなく複数のプロセッサ間の時刻同期を確実にとることが可能となる。さらに、プロセッサの増設、撤去に対しても特別な変更処理等を行うことなく対応することが可能となる。

【0032】

【実施例】図2は本発明の代表プロセッサの実施例構成を示す。図2において、50は代表プロセッサである。

【0033】51はCPUである。52は補正プログラムである（図1の補正手段に相当する）。53はCPU時計である。

【0034】54はメモリであって、代表プロセッサ50の処理に使用するメモリである。55は時刻補正処理起動手段である。56は一般プロセッサの障害検出手段であって、一般プロセッサの障害もしくは撤去を検出するものである。

【0035】58は基準時計であって、代表プロセッサ50のCPU時計53の時刻の基準となるものである。59は共通メモリである。

【0036】補正プログラム52において、60は基準時計の時刻取り込み手段であって、基準時計の時刻を取り込むものである。

【0037】61は監視プログラム（図1の監視手段に対応する）であって、共通メモリ59のバックプレッシャフィールドのフラグを監視するものである。62は誤差判定手段であって、CPU時計53の基準時計との時刻の差を求め誤差を算出するものである。

【0038】63は時刻補正手段であって、一回の補正単位（250ms）毎に代表時計の時刻を補正するものである。64は誤差基準値保持手段であって、誤差基準値を保持するものである。

【0039】65は補正時間量設定手段であって、誤差判定手段の測定した誤差に基づいて、共通メモリ59に補正時間量を設定するものである。66は代表プロセッサ時刻書き込み手段であって、共通メモリ59に代表プロセッサ時刻を書き込むものである。

【0040】図2の構成の動作は後述する。図3は本発明の一般プロセッサの実施例構成を示す。図3において、70は一般プロセッサである。

7

【0041】71はCPUである。72はCPU時計である。73は補正プログラムである（図1の補正手段に相当する）。

【0042】74はメモリであって、一般プロセッサ70の処理のためのメモリである。75は時刻補正処理起動手段であって、一般プロセッサ70をシステムに増設した時、システムの立ち上げ等のときに補正プログラム73を起動させるものである。

【0043】76は共通メモリである。補正プログラム73において、80は代表プロセッサ時刻読み取り手段であって、共通メモリ76の代表プロセッサ時刻を読み取るものである。

【0044】81はバックプレッシャフィールド書き込み手段であって、共通メモリ76のバックプレッシャフィールドのフラグのオンもしくはオフを行うものである。82は誤差判定手段であって、代表プロセッサ時刻と一般プロセッサ時計の時刻を比較し、誤差を算出するものである。

【0045】83は時刻補正手段であって、代表プロセッサの時計装置との誤差が一定値（誤差基準値）以上になったことを検出すると代表プロセッサ時刻に合うように時刻補正を行うものである。

【0046】84は誤差基準値保持手段であって、一般時計の補正を開始するための誤差の範囲（基準値）を保持するものである。図3の構成の動作は後述する。

【0047】本発明の実施例の概要について次に説明する。共通メモリのフラグ設定領域は一般プロセッサ時計8台分を用意し、それぞれの領域は一般プロセッサ時計に対応して固定する。

【0048】(1) 誤差目標について

代表プロセッサ時計と一般プロセッサ時計との誤差は、1秒以内とする（通常200ms程度）。

【0049】(2) 代表プロセッサ時計での補正について

他システムの基準時計の読み出しは① 一時間に一回、② 他システムの基準時計の更新時、③ 代表プロセッサ時計のクラッシュ時（クラッシュから10秒後に、次の代表プロセッサ時計が再起動するようにスケジュールする。次の代表プロセッサは予めきめておく）。

【0050】補正量は代表プロセッサ時計と基準時計との差から求める。補正量は符号込みのデータであって、符号により遅れもしくは進みをあらわす。代表プロセッサの補正処理は、200ms単位とし、一回の処理が終了後に3秒間待って、バックプレッシャフィールドを確認し、一般プロセッサ時計の時刻補正中のフラグがひとつでも立てられていれば、解放監視ループを繰り返すようにして補正処理は行わないでさらに3秒間待つ。250ms単位の補正を繰り返すことにより補正時間の合計が補正時間量になり、基準メモリ上の補正時間量が0になるまで繰り返す。補正時間量が1秒となる毎に共通メ

8

メモリ上の補正時間量を更新する（値を1秒減らす）。代表プロセッサ時計が補正され、完了したら補正時間量はクリアされる（この補正処理については図5、図6のフローチャート参照）。

【0051】代表プロセッサ時計の通算秒（一秒単位）は共通メモリの代表プロセッサ時刻に書き込まれる。書き込みはプロセッサ時計の割り込み処理でスケジュールする。

【0052】(3) 一般プロセッサ時計での補正について

① 代表プロセッサ時計と一般プロセッサ時計との誤差を検査する。誤差の幅が200msを越えたら補正処理を開始する。この①の処理を200ns毎に起動する。一般プロセッサ時計の時刻の一回の補正量は50msである。

【0053】そして、補正処理が開始されたら、自身のバックプレッシャフィールドの自身のフラグをオンとする。代表プロセッサ時刻との差が小さくなるように補正する。補正が終了したら自身のバックプレッシャフィールドのフラグをオフとする。

【0054】読み込み手段の起動はタイマで行う（50ms単位のタイマを使用し、タイマの起動が4回もしくはそれまでの合計時間が200msを超過するまで行う）。一般プロセッサ時計のクラッシュが回復したときは代表プロセッサが該当バックプレッシャフィールドのフラグ領域のフラグをオフとする。

(4) 一般プロセッサ時計の時刻誤差の検査について、図4(a)を参照して説明する。図4(a)において、 $t_{n1} \sim t_{n3}$ は代表プロセッサ時計が共通メモリへ時刻（秒）を書き込むタイミングである。

【0055】 $t_1 \sim t_4$ は一般プロセッサ時計が代表プロセッサ時計の時刻を見に行くタイミングである。 t_m は一般プロセッサ時計の通算秒が桁上がりをした時刻である。

【0056】 t_x は一般プロセッサ時計が推定した代表プロセッサ時計の通算秒桁上がり時刻である。 $t_x = t_2 + (t_3 - t_2) / 2$ と推定する。推定桁上がり時刻誤差 $\leq (t_3 - t_2) / 2$ となる。一般プロセッサ時計の補正量は $t_a = t_x - t_m$ とする。 t_a があらかじめ定めた基準値（閾値）より大きければ補正処理を開始する。

【0057】(5) 一般プロセッサ時計の補正方法について

図4(b)により、一般プロセッサ時計を進める場合の補正方法を示す。図において、PM-TODは μ 秒単位の時計（タイマ）である。

【0058】① 自身の時計がn秒を経過し、補正処理の開始が930msになるようにスケジュールタイマをセットする。

② 実際に、起動された時刻が950ms以下ならば9

50msまでCPUループして他の処理を止め、950msでPM-TODをその時点でリセットする(タイマ値を0とする)。

【0059】③ 実際に、起動された時刻が950ms以上で990ms以下ならPM-TODをその時点でリセットする。

④ 実際に起動された時刻が990ms以上ならミスヒットとして扱いノーオペレーション(NOP)とする。

【0060】図4(c)により、n秒経過時点で、1秒遅らせる場合について説明する。

① 0秒で起動するようにタイマ設定する。しかし、実際はプロセッサ時計の割り込みが、20ms程度遅れる。

【0061】② 50ms以内に起動されたら50msまでCPUループし、PM-TODをリセットされるようにする。50ms以上経過して起動されたらミスヒットする。以上により一回につき50msの補正ができる。この50msの補正を補正時間量に達するまで繰り返し行う。

【0062】なお、代表プロセッサ時計の補正処理も上記の一般プロセッサ時計と同様に行う。但し、代表プロセッサ時計の補正であれば、共通メモリの代表プロセッサ時刻を更新する。

【0063】(6) システム立ち上げ時の処理について
システム立ち上げ時には、各プロセッサが、他のシステムの基準時計の時刻を読み込んで、それぞれのプロセッサ時計を設定する。代表プロセッサが決定したら、代表プロセッサ時計、一般プロセッサ時計のそれぞれの補正処理が開始される。

【0064】(7) バックプレッシャフィールドの解放について

① バックプレッシャフィールドは、通常補正処理の完了で解放される(オフとされる)。

【0065】② バックプレッシャフィールドのフラグを設定したまま、一般時計がクラッシュした場合には、一般時計のクラッシュリカバリー処理で解放する。

③ 代表プロセッサ時計がクラッシュした場合には、代表プロセッサ時計の補正量の決定から処理をし直す。

【0066】図5、図6の代表プロセッサ時計のフローチャートにより、代表プロセッサ時計の補正方法を説明する(図2を参照する)。S1、S2 基準時計の時刻読み込み手段60が定期的に起動され、基準時計の時刻を参照する。基準時計の読み込みが成功すればS3に進む。失敗すればS6に進み、基準時計の参照を一定時間停止する(次の読み込み周期まで待つ)。

【0067】S3、S4 誤差判定手段62は代表プロセッサ時計(時プロセッサ時計)との誤差を求め、誤差が誤差基準値保持手段64に保持されている設定値以上か判定する。設定値以上であればS5に進み、設定値以下であればS6に進み、基準時計の参照を一時停止する

(次の読み出しタイミングまで待つ)。

【0068】S5 補正時間量設定手段65は基準時計との時刻差を共通メモリの補正時間量の保持領域に書き込む。

S7 時刻補正手段63は250msまで補正する。

【0069】S8 3秒間補正処理を待つ。

S9、S10 バックプレッシャフィールドを確認し、フラグが全てオフであればS11に進み、一つでもオンのフラグがあればS8以降の処理を繰り返す。

10 【0070】S11、S12 時刻補正手段63は補正時間量が0であるかどうか判定する。補正時間量が0であれば補正処理を終了する。補正時間量が0でなければ、S13に進む。

【0071】S13、S14 1秒間分補正したか判定する。一秒分補正していなければS15に進み、一秒間以上補正されていたらS15に進む。

S15 共通メモリの補正時間量を減らす(一秒減らす)。

20 【0072】以後S7以降の処理を繰り返す。図7は本発明の一般プロセッサ時計の補正方法のフローチャートである。図7の説明において、図3を参照する。

【0073】S1 代表プロセッサ時刻読み取り手段80は、共通メモリ76から代表プロセッサ時刻を読み込む。

S2 誤差判定手段82は代表プロセッサ時刻と一般プロセッサ時計の時刻との差をとり、誤差が誤差基準値保持手段84に保持されている設定値より大きいか判定する。設定値より小さければS3に進み、設定値より大きければS5に進む。

30 【0074】S3 補正を終了する。

S4 一定時間処理を停止する。

S5 バックプレッシャフィールド書き込み手段81はバックプレッシャフィールドの自身のフラグをオンとする。

【0075】S6 自身のプロセッサ時計(一般プロセッサ時計)を代表プロセッサ時計の時刻に合わせる。

S7 バックプレッシャフィールド書き込み手段81は自身のバックプレッシャフィールドのフラグをオフにする。

40 【0076】さらに、S1以降の処理を繰り返す。図8はプロセッサの増設、撤去時の処理を示す。図8(a)は、プロセッサ撤去時の処理である。

【0077】S1 代表プロセッサがプロセッサのダウンを検知する。

S2 該当するプロセッサのバックプレッシャフィールドをオフとする。

S3 プロセッサの撤去を終了する。

【0078】図8(b)はプロセッサ増設時の処理である。

50 S1 代表プロセッサ時刻を読み込む。

11

S 2 自プロセッサ時計（一般プロセッサ時計）に読み込んだ時刻を設定する。

【0079】S 3 時刻補正処理を起動する。

【0080】

【発明の効果】本発明によれば、特別なハードウェアを使用することなく、各プロセッサ間の時計の時刻を正確に一致させることが可能となる。また、運用中にプロセッサの増設、撤去を行っても、他プロセッサ時計（代表プロセッサ時計、一般プロセッサ時計）は正常に動作を続けることができる。

【図面の簡単な説明】

【図 1】本発明の基本構成を示す図である。

【図 2】本発明の代表プロセッサの実施例構成を示す図である。

【図 3】本発明の一般プロセッサの実施例構成を示す図である。

【図 4】本発明の誤差の算出方法、補正方法の説明図である。

【図 5】本発明の代表プロセッサ時計の補正方法のフローチャートを示す図である。

【図 6】本発明の代表プロセッサ時計の補正方法のフローチャートを示す図である。

【図 7】本発明の一般プロセッサ時計の補正方法のフローチャートを示す図である。

【図 8】本発明のプロセッサの増設、撤去時の処理を示す図である。

【図 9】従来の時刻補正方法を示す図である。

【符号の説明】

12

* 1：代表プロセッサ

1'：代表プロセッサの時計装置

2：他システム

3：一般プロセッサ

3'：一般プロセッサの時計装置

4：一般プロセッサ時計

4'：一般プロセッサの時計装置

5：一般プロセッサ時計

5'：一般プロセッサの時計装置

10 6：共通メモリ

10：CPU時計

11：補正手段

12：監視手段

13：時刻書き込み手段

15：基準時計

20 20：CPU時計

21：補正手段

22：CPU時計

23：補正手段

20 24：CPU時計

25：補正手段

31：補正時間量

32：代表プロセッサ時刻

33：バックプレッシャフィールド

40：フラグ領域

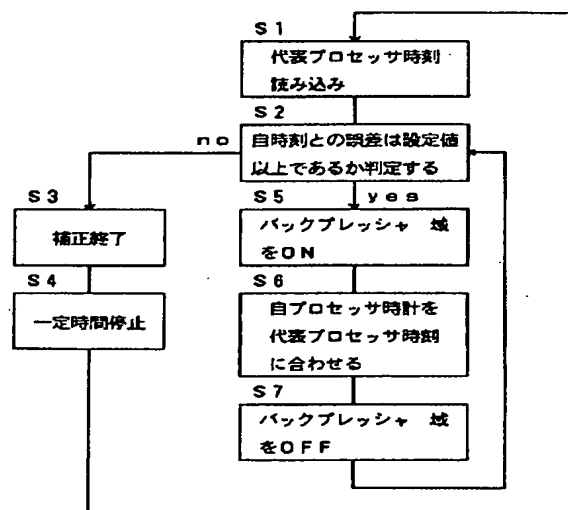
41：フラグ領域

42：フラグ領域

*

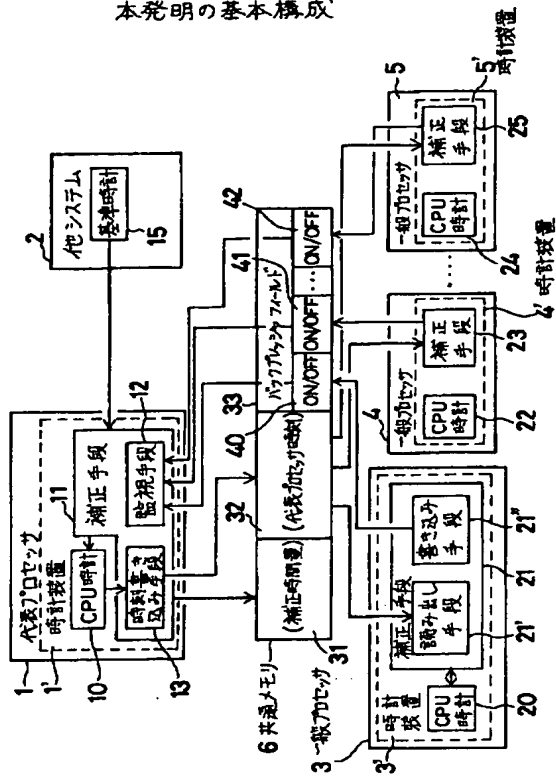
【図 7】

本発明の一般プロセッサ時計の補正方法のフローチャート



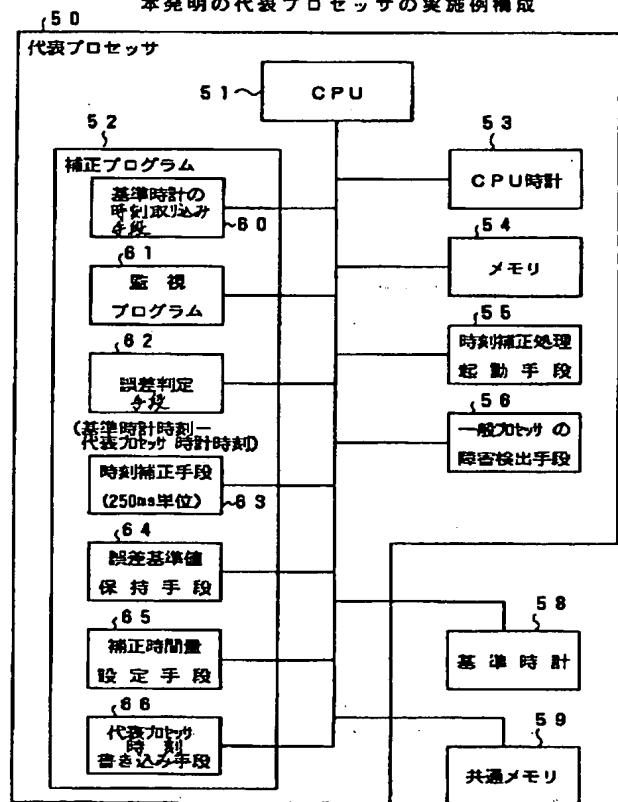
【図 1】

本発明の基本構成

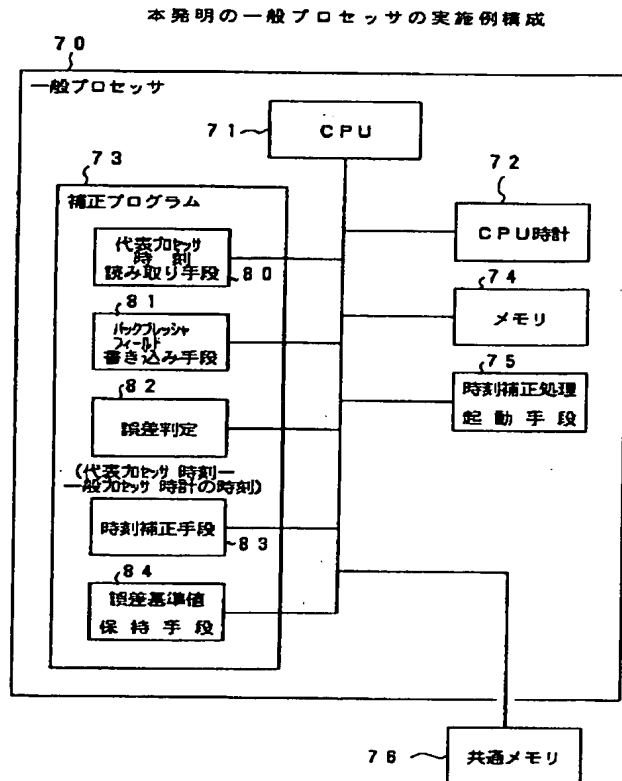


【図 2】

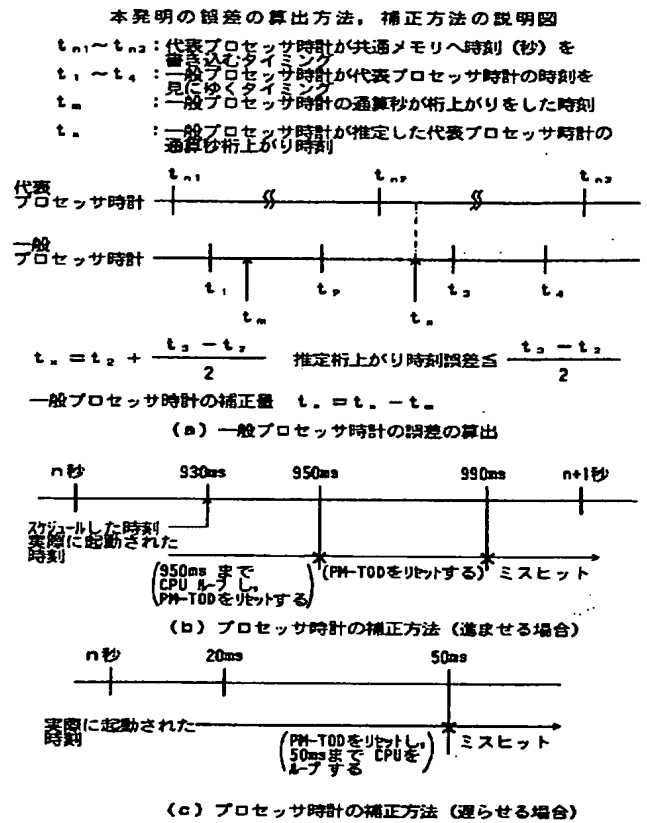
本発明の代表プロセッサの実施例構成



【図 3】

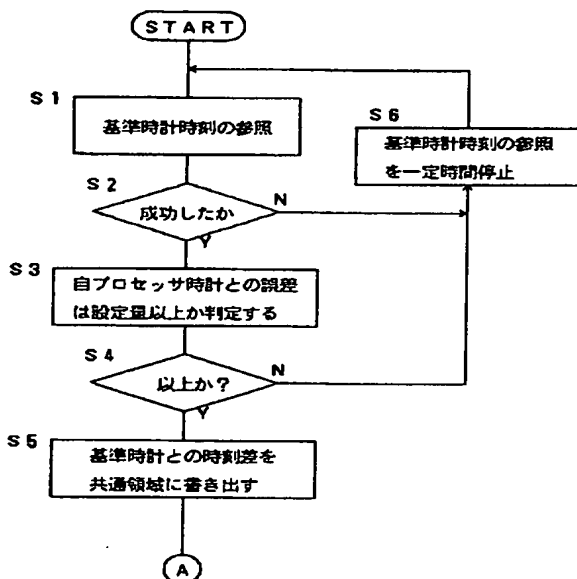


【図 4】



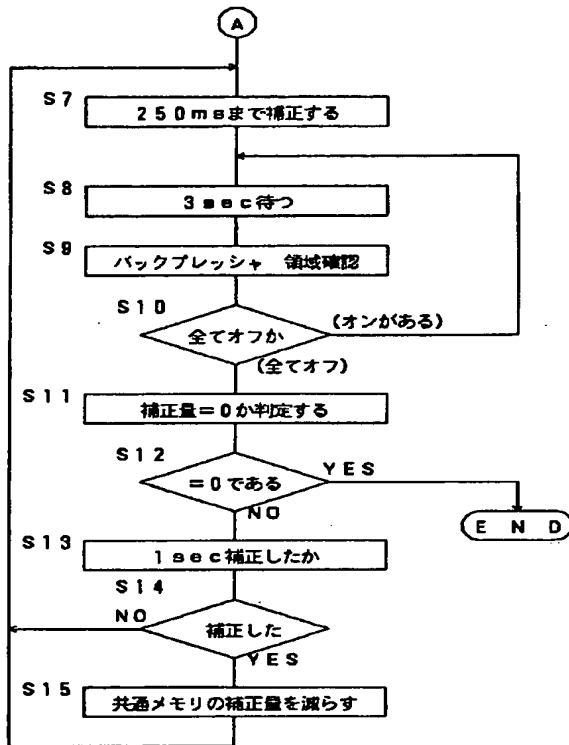
【図 5】

本発明の代表プロセッサ時計の補正方法のフローチャート



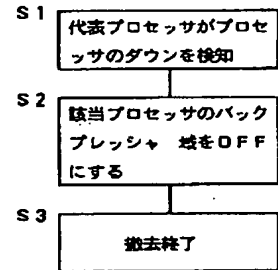
【図 6】

本発明の代表プロセッサ時計の補正方法のフローチャート

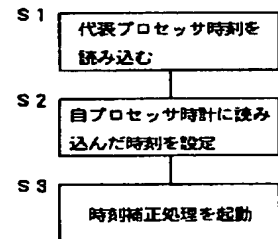


【図 8】

本発明のプロセッサの増設、撤去時の処理



(a) プロセッサ撤去時の処理



(b) プロセッサ増設時の処理

【図 9】

従来の時刻補正方法

